

EAST - [Untitled1:1]

File View Edit Tools Window Help

DERWENT-ACC-NO: 1997-557231

DERWENT-WEEK: 199801

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Synchronization detector circuit for monitoring apparatus of PDP - has horizontal synchronization signal isolation part to separate horizontal synchronization signal from input video signal

PATENT-ASSIGNEE: FUJITSU GENERAL LTD[GENH]

PRIORITY-DATA: 1996JP-0076280 (March 29, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 09270936 A	October 14, 1997	N/A	004	H04N 005/06

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 09270936A	N/A	1996JP-0076280	March 29, 1996

INT-CL (IPC): G09G003/28, H04N005/06, H04N005/46, H04N009/00

ABSTRACTED-PUB-NO: JP 09270936A

BASIC-ABSTRACT:

The detector circuit has a horizontal synchronization signal isolation part (1) to receive the video signal Vi of each system and to separate the horizontal synchronizing signal from it. A synchronization detector (2) outputs the signal representing the synchronization state only when the frequency of the oscillation signal output from an oscillator and frequency of the horizontal synchronizing signal are same. An output detector (6) senses the synchronization state detection signal output from the synchronization detector.

A switching controller (7) maintains the present switching position of a switching circuit (5) when the output detector senses the synchronization state detection signal output from the synchronization detector. The switching controller changes the switching position to the other oscillator side from the present position when a synchronization state detection signal is not output from the synchronization detector.

ADVANTAGE - Reduces power consumption.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS: DETECT CIRCUIT MONITOR APPARATUS HORIZONTAL SIGNAL ISOLATE PART
SEPARATE HORIZONTAL SIGNAL INPUT VIDEO SIGNAL

ADDL-INDEXING-TERMS:
NTSC SYSTEM PAL SYSTEM SECAM SYSTEM

BRS form IS&R form Image Text HTML

U	1	Document ID	Issue Dat	Pa	Title	Inventor	Image Doc. Dis	PT
2		JP 09270936 A	19971014	4	Synchronization		JP 09270936 A	

Start 09893559\11: Final Reject... 09893559\11: Final Reject... 09893559\11: Final Reject... 09893559\11: Final Reject... EAST [Untitled1:1]

EAST - [Untitled1:1]

File View Edit Tools Window Help

PAT-NO: JP409270936A

DOCUMENT-IDENTIFIER: JP 09270936 A

TITLE: SYNCHRONIZATION DETECTION CIRCUIT

PUBN-DATE: October 14, 1997

INVENTOR-INFORMATION:
NAME
SHIMIZU, AKIRA

ASSIGNEE-INFORMATION:
NAME FUJITSU GENERAL LTD COUNTRY N/A

APPL-NO: JP08076280

APPL-DATE: March 29, 1996

INT-CL (IPC): H04N005/06, G09G003/28, H04N005/46, H04N009/00

ABSTRACT:

PROBLEM TO BE SOLVED: To detect presence of a synchronizing signal for each system in a monitor with a plasma display panel (PDP) mounted thereon, to which a video signal of the NTSC, PAL, and SECAM system is given.

SOLUTION: A video signal Vi of each system is inputted to a horizontal synchronizing separator circuit section 1, by which a horizontal synchronizing signal is separated. The separated horizontal synchronizing signal is inputted to a synchronization detection section 2. This synchronization detection section 2 outputs a signal showing the synchronization state when the frequency of the horizontal synchronizing signal and an oscillator output frequency are the same. An output detection section 6 detects a signal outputted from the synchronization detection section 2 and showing the synchronization state. When the detection is made, a changeover control section 7 keeps a current throwing state and when not made, the changeover control section throws the current position to other oscillator side. According to this changeover, the synchronization detection section 2 outputs the signal above in the synchronization state and outputs a signal showing a video no input state when in an asynchronous state. Thus, the presence of an input video signal is detected.

COPYRIGHT: (C) 1997, JPO

BRS form IS&R form Image Text HTML

	U	1	Document ID	Issue Dat	Pa	Title	Inventor	Image Doc. Dis	PT
26	<input type="checkbox"/>	<input type="checkbox"/>	JP 09270936 A	19971014	4	SYNCHRONIZATION DETECTION CIRCUIT	SHIMIZU, AKIRA	JP 09270936 A	<input type="checkbox"/>

Start 09893559\11. Final Reject... 09893559\11. Final Reject... 09893559\11. Final Reject... 09893559\11. Final Reject... EAST - [Untitled1:1]

(AKIRA)

#5

- EPODOC / EPO

FN - ~~JP9270936~~ A 19971014
PD - ~~1997-10-14~~
PR - 12,14,16 JP19960076280 19960329
OPD - 1996-03-29
TI - 18,24 SYNCHRONIZATION DETECTION CIRCUIT
IN - SHIMIZU AKIRA
PA - FUJITSU GENERAL LTD
IC - H04N5/06 ; G09G3/28 ; H04N5/46 ; H04N9/00
- WPI / DERWENT

12,14,16

TI - Synchronization detector circuit for monitoring apparatus of.
PDP - has horizontal synchronization signal isolation part to
separate horizontal synchronization signal from input video
signal

PR - JP19960076280 19960329
PN - JP9270936 A 19971014 DW199751 H04N5/06 004pp
PA - (GENH) FUJITSU GENERAL LTD
IC - G09G3/28 ; H04N5/06 ; H04N5/46 ; H04N9/00
AB - J09270936 The detector circuit has a horizontal
synchronization signal isolation part (1) to receive the video
signal Vi of each system and to separate the horizontal
synchronizing signal from it. A synchronization detector (2)
outputs the signal representing the synchronization state only
when the frequency of the oscillation signal output from an
oscillator and frequency of the horizontal synchronizing signal
are same. An output detector (6) senses the synchronization state
detection signal output from the synchronization detector.
- A switching controller (7) maintains the present switching
position of a switching circuit (5) when the output detector
senses the synchronization state detection signal output from the
synchronization detector. The switching controller changes the
switching position to the other oscillator side from the present
position when a synchronization state detection signal is not
output from the synchronization detector.

- ADVANTAGE - Reduces power consumption.
- (Dwg.1/2)

OPD - 1996-03-29
AN - 1997-557231 [51]
- PAJ / JPO

PN - JP9270936 A 19971014
PD - ~~1997-10-14~~
AP - JP19960076280 19960329
IN - SHIMIZU AKIRA
PA - FUJITSU GENERAL LTD
TI - SYNCHRONIZATION DETECTION CIRCUIT
AB - PROBLEM TO BE SOLVED: To detect presence of a synchronizing

signal for each system in a monitor with a plasma display panel
(PDP) mounted thereon, to which a video signal of the NTSC, PAL,
and SECAM system is given.

- SOLUTION: A video signal Vi of each system is inputted to a
horizontal synchronizing separator circuit section 1, by which a
horizontal synchronizing signal is separated. The separated
horizontal synchronizing signal is inputted to a synchronization
detection section 2. This synchronization detection section 2
outputs a signal showing the synchronization state when the
frequency of the horizontal synchronizing signal and an
oscillator output frequency are the same. An output detection
section 6 detects a signal outputted from the synchronization
detection section 2 and showing the synchronization state. When
the detection is made, a changeover control section 7 keeps a
current throwing state and when not made, the changeover control

section throws the current position to other oscillator or side. According to this changeover, the synchronization detection section 2 outputs the signal above in the synchronization state and outputs a signal showing a video no input state when in an asynchronous state. Thus, the presence of an input video signal is detected.

I - H04N5/06 ;G09G3/28 ;H04N5/46 ;H04N9/00

DERWENT-ACC-NO: 1997-557231

DERWENT-WEEK: 199801

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Synchronization detector circuit for monitoring
apparatus of PDP - has horizontal synchronization signal
isolation part to separate horizontal synchronization
signal from input video signal

PATENT-ASSIGNEE: FUJITSU GENERAL LTD[GENH]

PRIORITY-DATA: 1996JP-0076280 (March 29, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 09270936 A	October 14, 1997	N/A	004
H04N 005/06			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 09270936A	N/A	1996JP-0076280	March 29, 1996

INT-CL (IPC): G09G003/28, H04N005/06 , H04N005/46 , H04N009/00

ABSTRACTED-PUB-NO: JP 09270936A

BASIC-ABSTRACT:

The detector circuit has a horizontal synchronization signal isolation part (to receive the video signal Vi of each system and to separate the horizontal synchronizing signal from it. A synchronization detector (2) outputs the signal representing the synchronization state only when the frequency of the oscillation signal output from an oscillator and frequency of the horizontal synchronizing signal are same. An output detector (6) senses the synchronization state detection signal output from the synchronization detector.

A switching controller (7) maintains the present switching position of a switching circuit (5) when the output detector senses the synchronization state detection signal output from the synchronization detector. The switching controller changes the switching position to the other oscillator side from the present position when a synchronization state detection signal is not output from the synchronization detector.

ADVANTAGE - Reduces power consumption.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS: DETECT CIRCUIT MONITOR APPARATUS HORIZONTAL SIGNAL ISOLATE PART
SEPARATE HORIZONTAL SIGNAL INPUT VIDEO SIGNAL

ADDL-INDEXING-TERMS:
NTSC SYSTEM PAL SYSTEM SECAM SYSTEM

DERWENT-CLASS: P85 W03

EPI-CODES: W03-A06A5; W03-A08D; W03-A11B1A;

SECONDARY-ACC-NO:
Non-CPI Secondary Accession Numbers: N1997-464519

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270936

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 5/06			H 0 4 N 5/06	Z
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	Z
H 0 4 N 5/46			H 0 4 N 5/46	
9/00			9/00	B

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平8-76280

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 清水 彰

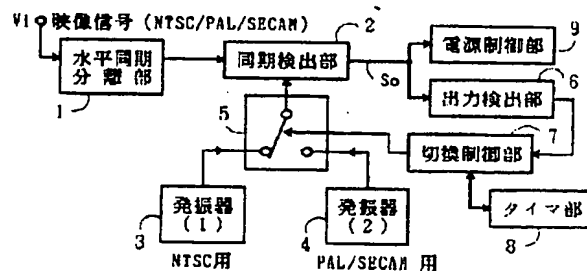
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54) 【発明の名称】 同期検出回路

(57) 【要約】

【課題】 NTSC、PAL及びSECAM方式の映像信号が入力されるPDP搭載のモニタ装置等において、前記各方式ごとの同期信号の有無を検出する。

【解決手段】 前記各方式の映像信号Viは水平同期分離部1に入力し、水平同期信号が分離される。同分離された水平同期信号は同期検出部2に入力する。この同期検出部2は、水平同期信号の周波数と発振器出力周波数とが同じ場合には同期状態にあることを示す信号を出力する。出力検出部6は同期検出部2から出力される上記同期状態にあることを示す信号を検出する。この検出があったときには切換制御部7は切換回路を現位置に維持し、検出されないときには現位置から他方の発振器側へ切り換える。この切り換えにより、同期検出部2は同期状態になれば上記同様の信号を出力し、非同期であれば映像無入力状態を示す信号を出力する。これにより、入力映像信号の有無が検出される。



【特許請求の範囲】

【請求項1】 水平周波数が異なる第1の映像信号と第2の映像信号とを入力対象としたディスプレイモニタにおいて、前記入力映像信号から水平同期信号を分離する水平同期分離部と、前記第1の映像信号の水平同期信号周波数と同一周波数の信号を発振する第1の発振器と、前記第2の映像信号の水平同期信号周波数と同一周波数の信号を発振する第2の発振器と、前記第1の発振器と第2の発振器とが切り換えられる切換回路と、前記同期分離部及び切換回路それぞれよりの信号が、前記第1の映像信号及び第1の発振器信号のとき、又は前記第2の映像信号及び第2の発振器信号のときにはそれぞれ同期検出信号を出力する同期検出部と、前記同期検出部よりの同期検出信号出力を検出する出力検出部と、前記出力検出部で同期検出信号出力を検出しているときには前記切換回路を現位置に維持し、該検出がなされなくなったときには前記切換回路を該現位置から他方の発振器側へ切り換える切換制御部とで構成したことを特徴とする同期検出回路。

【請求項2】 前記切換制御部の基にタイマ部を設け、前記第1の発振器側又は第2の発振器側のいずれに切り換えても前記出力検出部による同期検出信号出力の検出がなされないときには、前記タイマ部によるタイムカウントに基づき、予め設定した時間ごとに前記第1の発振器側と第2の発振器側とを交互に切り換え、前記同期検出信号出力の検出がなされたときには同検出された側の発振器側へ設定するように前記切換制御部が前記切換回路を制御するようにしたことを特徴とする請求項1記載の同期検出回路。

【請求項3】 前記第1の映像信号を、NTSC方式の映像信号としたことを特徴とする請求項1記載の同期検出回路。

【請求項4】 前記第2の映像信号を、PAL方式の映像信号、又はSECAM方式の映像信号としたことを特徴とする請求項1記載の同期検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は同期検出回路に係り、より詳細には、NTSC方式、PAL方式及びSECAM方式の各映像信号を入力対象としたPDP（プラズマディスプレイパネル）搭載のモニタ装置等において、前記各方式ごとの同期信号の有無の検出に関する。

【0002】

【従来の技術】PDPは従来のブラウン管に比べ、薄型且つ軽量という長所を有するが、消費電力の点においてはブラウン管と同等又はそれ以上を消費するというのが実情である。その為、発熱によるPDPの寿命の短命化に対する処置が必要である。また、PDPの場合、映像入力が無い（無入力）ときにもPDPはある輝度の下で光っており、無駄な電力を消費している。この無入力時

にもある輝度の下で光っているのは、アドレッシングと呼ばれる放電を行うための準備が行われていることによる。換言すると、映像入力時に備え発光のスタンバイ状態にしておくためである。これに対し、ブラウン管の場合には映像入力が無いときには一般にカットオフ（暗い状態）になるので消費電力は低減する。その為、PDP搭載のモニタ装置においては映像無入力時には同装置の電源をオフ（スタンバイ状態）にすることが寿命の確保の点で望ましい。

【0003】また、モニタ装置にはNTSC方式、PAL方式、SECAM方式等、各種の方式の映像信号が入力される。従って、上記のいずれの方式の映像信号であっても映像入力の有無を正確に検出し、同映像入力が無いときには装置の電源をオフするという機能が必要である。この映像入力の有無を単に信号の有無のみで検出するようにした場合、検出回路自体の構成はシンプルとなるが、パルス性等のノイズを誤認し、誤動作を起こす可能性が生じる。そのため、従来は図2に示す構成の回路を使用していた。以下、同図につき説明する。

【0004】図2は、映像入力Viとして、NTSC方式、PAL方式及びSECAM方式の映像信号を対象としたものであり、11は映像信号から水平同期信号を分離する水平同期分離部、12はNTSC方式映像信号用の第1の同期検出部、13は同NTSC方式映像信号の水平同期信号周波数（15.734 KHz）と同じ周波数の信号を発振する第1の発振器、14はPAL方式及びSECAM方式の映像信号用共通の第2の発振器、15は同PAL方式及びSECAM方式各映像信号の水平同期信号周波数（両方式とも15.625 KHz）と同じ周波数の信号を発振する第2の発振器である。尚、第1の発振器13及び第2の発振器15とも一般に水晶発振器を使用する。映像入力Viが例えば、NTSC方式の映像信号である場合、水平同期分離部11で水平同期信号が分離され、各同期検出部12、14へ送られる。第1の同期検出部12において、水平同期分離部11よりの水平同期信号と第1の発振器13よりの発振出力とが同周波数のためロック状態になり、そのロック状態を示す信号（例えば、「ハイ（H）」）を出力する。これに対し、非ロック状態時には「ロー（L）」となる。ここに、同期検出部12、14は具体的にはPLL回路（位相同期回路）で構成し、水平同期信号と発振出力とが同周波数の場合にロック状態になるものである。

【0005】一方、映像入力ViがPAL方式又はSECAM方式の映像信号である場合、第2の同期検出部14において、水平同期信号と第2の発振器15よりの発振出力とが同周波数のためロック状態になり、上記同様に「ハイ（H）」を出力する。非ロック状態時には「ロー（L）」となることは上記同様である。上記第1の同期検出部12及び第2の同期検出部14の各出力につき論理和（OR）ゲート16で論理和をとればその出力Soは、いずれかの映像入力Viがあるときには「H」となり、無信号

時には「L」となる。従って、出力Soが同期信号の有無を示す信号（同期検出信号）となる。この出力Soを後段の電源制御回路17に使用し、Soが「H」時には本モニタ装置は電源オン状態を維持し、「L」時には電源をオフ（スタンバイ状態）にする。

【0006】

【発明が解決しようとする課題】前述の説明のように、従来、映像入力の有無は図2の構成の回路により検出していた。しかし、NTSC方式映像信号の水平周波数（15.734 KHz）と、PAL方式又はSECAM方式の水平周波数（15.625 KHz）とはそれほど大きな差ではなく、第1の発振器13及び第2の発振器15それぞれを上記周波数のものとする限り共通の同期検出部でロック可能であるところ、図2のように2個の同期検出部を使用しており、回路の合理化の余地があった。本発明は、このような背景からなされたものであり、従来の構成（図2）を合理化した同期検出回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、水平周波数が異なる第1の映像信号と第2の映像信号とを入力対象としたディスプレイモニタにおいて、前記入力映像信号から水平同期信号を分離する水平同期分離部と、前記第1の映像信号の水平同期信号周波数と同一周波数の信号を発振する第1の発振器と、前記第2の映像信号の水平同期信号周波数と同一周波数の信号を発振する第2の発振器と、前記第1の発振器と第2の発振器とが切り換えられる切換回路と、前記同期分離部及び切換回路それぞれよりの信号が、前記第1の映像信号及び第1の発振器信号のとき、又は前記第2の映像信号及び第2の発振器信号のときにはそれぞれ同期検出信号を出力する同期検出部と、前記同期検出部よりの同期検出信号出力を検出する出力検出部と、前記出力検出部で同期検出信号出力を検出しているときには前記切換回路を現位置に維持し、該検出がなされなくなったときには前記切換回路を該現位置から他方の発振器側へ切り換える切換制御部とで構成した同期検出回路を提供するものである。

【0008】

【発明の実施の形態】NTSC方式、PAL方式、又はSECAM方式の映像信号は水平同期分離部に入力し、水平同期信号が分離される。同分離された水平同期信号は共通使用の同期検出部に入力する。この同期検出部は、水平同期信号の周波数と発振器出力周波数とが同じ場合には同期状態にあることを示す信号（例えば、ハイ（H））を出力する。出力検出部は同期検出部から出力される上記同期状態にあることを示す信号を検出する。この検出があったときには切換制御部は切換回路を現位置に維持し、検出されないときには現位置から他方の発振器側へ切り換える。この切り換えにより、同期検出部は同期状態になれば上記同様の信号（H）を出力し、非同期状態であれば映像無入力（無信号）状態を示す信号

（例えば、ロー（L））を出力する。これにより、入力映像信号の有無が検出される。上記無信号となるときには切換制御部はタイマ部のタイムカウントに基づき、予め定めた時間ごとに切換回路を同期状態が検出されるまで切り換える。

【0009】

【実施例】以下、図面に基づいて本発明による同期検出回路を説明する。図1は本発明による同期検出回路の一実施例を示す要部ブロック図である。図において、ViはNTSC方式、PAL方式又はSECAM方式の入力映像信号、1は入力映像信号Viから水平同期信号を分離する水平同期分離部、2は水平同期分離部1よりの水平同期信号の周波数と、発振器出力の周波数とが同周波数のときに同期（ロック）状態となり、所定の信号を出力する同期検出部、3はNTSC方式映像信号の水平周波数（15.734 KHz）と同周波数の信号を発振する第1の発振器、4はPAL方式又はSECAM方式の映像信号の水平周波数（15.625 KHz）と同周波数の信号を発振する第2の発振器、5は切換制御部7の制御の基に第1の発振器3の出力信号と第2の発振器4の出力信号とを切り換える切換回路、6は同期検出部2よりの同期検出信号出力を検出する出力検出部、7は出力検出部6による同期検出に基づき、切換回路5の切換制御をなす切換制御部、8は映像無入力時には所定時間ごとに切換回路を切り換えるためのタイムカウントに用いるタイマ部、9は同期検出部2の出力に基づき電源オン（動作状態）、又は同オフ（スタンバイ状態）に制御する電源制御部である。

【0010】次に、本発明の動作について説明する。映像信号Viは水平同期分離部1へ入力し、ここで水平同期信号を分離する。同期検出部2には水平同期分離部1で分離した水平同期信号と発振器出力とを入力するが、その水平同期信号の周波数と発振器出力の周波数とが一致したときには同期検出部2はロック状態となり、同期検出信号So（例えば、ハイ（H））を出力する。この同期検出部2は具体的にはPLL回路（位相同期回路）で構成し、水平同期信号と発振器出力とが同周波数の場合にロック状態になるものである。このロック状態は水平同期信号周波数と発振器出力の周波数とが一致したときに成立するので、映像入力があるときには常にその水平同期信号周波数と同周波数の発振信号を前記同期検出部2に供給する必要がある。

【0011】そのため、同期検出部2の出力を基に出力検出部6により、上記ロック状態を検出するようにする。そして、この検出がなされた場合、切換制御部7は切換回路5を現位置に維持する（例えば、第1の発振器3側、以下、本例を前提）、なお、この場合の入力映像信号ViはNTSC方式の信号である。上記の現位置に維持するとしたのはこの切換位置で必要とする発振器出力を同期検出部2へ供給しているからである。これに対

し、ロック状態が検出されなくなった場合、切換制御部7は切換回路5を現位置から他方の発振器側(第2の発振器4側)へ切り換える。この状態で出力検出部6がロック状態を検出したときにはその位置(第2の発振器4側)に設定する。この場合の入力映像信号ViはPAL方式又はSECAM方式の信号である。以上により同期検出部2は上記同様の同期検出信号So[ハイ(H)]の出力状態となる。以上の出力状態[ハイ(H)]を基に、電源制御部9は本装置の電源のオン状態を維持する。

【0012】上記の他方の発振器側(第2の発振器4側)へ切り換えてもロック状態が検出されない場合には映像入力の無い無信号状態を意味する。この場合、同期検出部2は非同期状態のため、その出力状態Soは上記例のハイ(H)からロー(L)となる。このロー(L)状態を基に、電源制御部9は本装置をスタンバイ状態にするように電源をオフする。なお、スタンバイ状態とは、本発明に係るブロック(図1)以外は電源オン状態を維持し、PDP等のその他については電源オフにすることである。この無信号状態時になった場合、切換制御部7はタイマ部8を使用し、一定時間毎に切換回路5を第1の発振器3側又は第2の発振器4側へ切り換え、出力検出部6による検出を監視する。この監視で再びロック状態が検出された場合、切換制御部7は同検出された発振器側へ切換回路5を設定する。このロック状態検出により、電源制御部9は前記スタンバイ状態から再び本装置の電源をオンし、動作状態にする。以下、上記を繰り返す。

【0013】

【発明の効果】以上説明したように本発明によれば、従

来、NTSC方式の映像信号用と、PAL方式及びSECAM方式の映像信号用の2個使用していた同期検出部が1個で済むこととなる。これにより、一般に高価である同期検出部1個が削減可能となり、回路を合理化することができる。そして、この合理化された回路の下で、映像信号無入力時にスタンバイ状態とし、PDPを非動作状態にするという従来と同機能が達成でき、無駄な電力消費及びPDPの寿命の短命化を防止することができる。

【図面の簡単な説明】

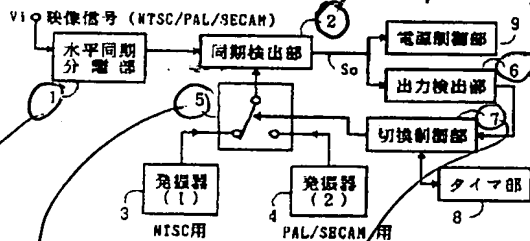
【図1】本発明による同期検出回路の一実施例を示す要部ブロック図である。

【図2】従来の同期検出回路の一例を示す要部ブロック図である。

【符号の説明】

- Vi 入力映像信号
- 1 水平同期分離部
- 2 同期検出部
- 3 第1の発振器
- 4 第2の発振器
- 5 切換回路
- 6 出力検出部
- 7 切換制御部
- 8 タイマ部
- 9 電源制御部
- 12 第1の同期検出部
- 14 第2の同期検出部
- 16 ORゲート

【図1】

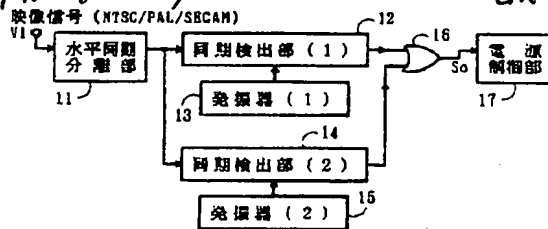


switching
circuit

switching
controller

① horizontal synchronization signal isolation part to receive the video signal Vi and to separate the horizontal synchronizing signal from it,

② synchronization detector: outputs the signal representing the synchronization state only when the frequency of the OS signal output and HSS are equal.



⑥ output detector: senses the synchronization state detection signal output from the synchronization detector.